

# 高圧パルスジェネレーターの製作

森 章一<sup>1</sup>、渡部 直樹<sup>2,3</sup>、福士 博樹<sup>1</sup>

1. 技術部先端技術支援室
2. 共同研究推進部
3. 雪氷新領域部門宇宙物質科学分野

## はじめに

当該分野の研究を行う上で、真空中の微量な原子・分子の同定は必要不可欠な実験技術である。例えば、真空中の氷表面で化学反応が起こった場合、氷表面の分子種は赤外吸収分光法で分析する。一方、反応後に真空（気相）中に脱離してくる原子・分子は質量分析を行って同定する。気相中のガスの質量分析法にはいくつかあるが、ガス密度が極めて低い場合には四重極質量分析計や飛行時間型質量分析計がよく使われる。前者は高周波電場を用いた手法で、回路のマッチング等に高度な技術を要するため、自作は困難である。しかし、一般的に普及しているため値段は手頃である（2 - 3百万円）。後者は原理こそ簡単だが、どういう訳か高額な上、我々の実験に適した形状に必ずしもなっていない。今回、新たな装置を開発するに当たって、飛行時間型質量分析計を自作する。そこで心臓部になる高圧パルスジェネレーターを技術部で製作することになった。

## 飛行時間型質量分析計の原理

飛行時間型質量分析計は大雑把に言うと、図 1 のように、2 枚のメッシュ製の電極と電極 B から距離  $L$  だけ離れたイオン検出器からなる。いま、電極 AB 間の一点 O に様々な質量を持つ正イオンが混在するとする。ある時刻 ( $t = 0$  とする)、電極 A に正のプラス電圧を印可すると、イオンは図中左から右へ加速される。点 O と電極 B との間の電位差が  $V$  のとき、点 O から電極 B に到達するまでにイオンが得る運動エネルギーはイオン種に依らず、一様に  $qV$  となる。ここで  $q$  はイオンの電荷である。つまり、

$$\frac{1}{2}mv^2 = qV \dots \textcircled{1}$$

の関係が成り立つ。ここで、 $m$  はイオンの質量、 $v$  はイオンの速さである。このとき、電極 B とイオン検出器の間が電場ゼロであれば（例えば、電極 B、イオン検出器共に接地されている）、イオンは距離  $L$  を、メッシュ電極 B を通り過ぎた瞬間の一定の速さ  $v$  で飛ぶことになる。ここでイオン検出器に到達する時刻  $t$  は①式を用いて

$$t = \frac{L}{v} = L \sqrt{\frac{m}{2qV}} \dots \textcircled{2}$$

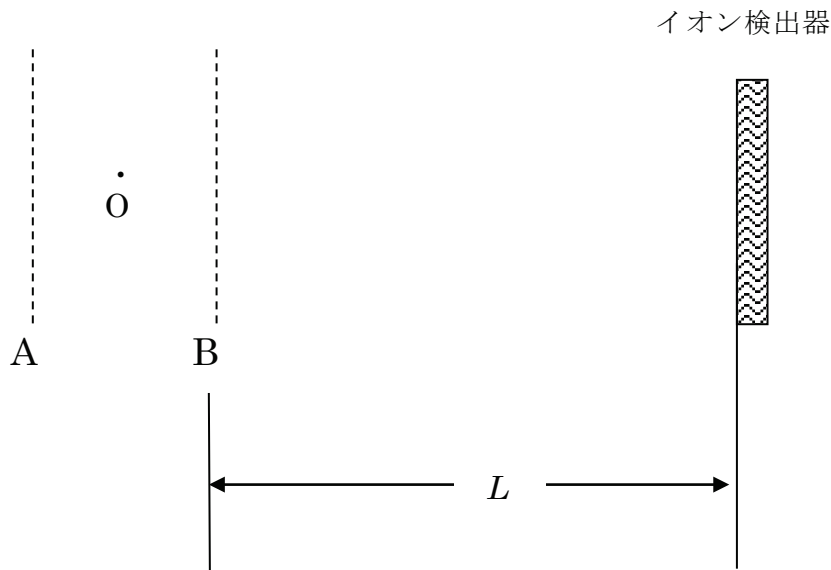


図 1 飛行時間型質量分析系の概念図。

と計算でき、到達時間はイオンの質量に依存する。つまり、パルス電圧を印可する時点と検出器に到達する時点の時間幅を測定すれば、そのとき検出したイオンの質量が計算できることになる。実際には図中の電極や検出器はすべて真空装置内に設置されており、電氣的に中性のガスは電子衝撃やレーザーによって電極間でイオン化される。パルス電源から発生するパルスのスタート時間とイオンが到達する時間はデジタルオシロスコープにより測定する。

## 設計・製作

設計回路には以下の仕様が求められた。

- ・電圧 1500 V、パルス幅 10 nsec、パルス平坦部電圧が安定した矩形パルスであり、パルス幅および電圧は連続可変
- ・グラウンドレベルから見て正・負電圧パルスを切り替えて出力
- ・トリガ信号は TTL レベルで外部から入力 (10 Hz 程度)

既存の松定プレシジョン社製可変高圧電源および BEHLKE 社製高圧スイッチングモジュール (以下、既存モジュールと記す) が利用可能であったため、各モジュールの特性を調べた上、これらを組み入れた回路を構成した。

構成した回路は、実装する前に繰り返し回路シミュレーターソフトで検証した。しかし実際の素子はなかなかシミュレーション通りの挙動とはならず、設計と製作の試行錯誤を繰り返した。

## 回路の構成

扱うパルスは高速かつ高圧であるため、電圧変化速度が非常に大きい。製作に当たっては各回路が急激な電界変化に影響される事を極力避けるように注意した。回路構成は概ね以下の3つに分けられる。

### 1. 高圧電源部

既存の高圧電源装置は入力 DC 24 V、出力 0 – 3000 V、1 mA の DC-DC コンバータである。この電源は 1 次側と 2 次側高圧出力の負極が共通になっている。そのため負電圧を得る場合に正極をグラウンドに落とす。このことで AC 100 V を介して DC 24 V 電源のスイッチングトランスの 1 次と 2 次間に高圧がかかる恐れがあった。しかしながら、実験してみると、使用する  $\pm 1500$  V 程度では DC 24 V 電源のスイッチングトランスで十分絶縁が保てるようなので、これを採用した。

### 2. トリガ遅延回路部

外部入力トリガ信号から遅延パルスを作成する。遅延回路は LS タイプのワンショットマルチバイブレーターで構成した。遅延時間は 100 – 200 nsec で可変可能であり、遅延時間後に 100 nsec のパルスを発生する (図 2)。

遅延トリガパルスによって PULL 回路を作動させる。一方、遅延前のトリガ信号で、既存モジュールを作動させる。いずれのトリガパルスも幅 100 nsec のパルスで、周期 10 Hz 程度なので、デューティー比は 1 ppm 以下と極端に小さい。

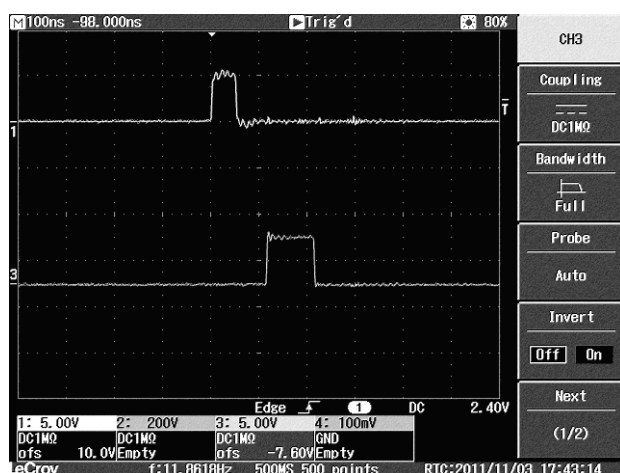


図 2 遅延回路の波形。CH1 (上部) に外部入力パルス、CH3 (下部) に遅延パルスをそれぞれ示した。なお時間は 100 nsec/div、縦軸は 5 V/div である。

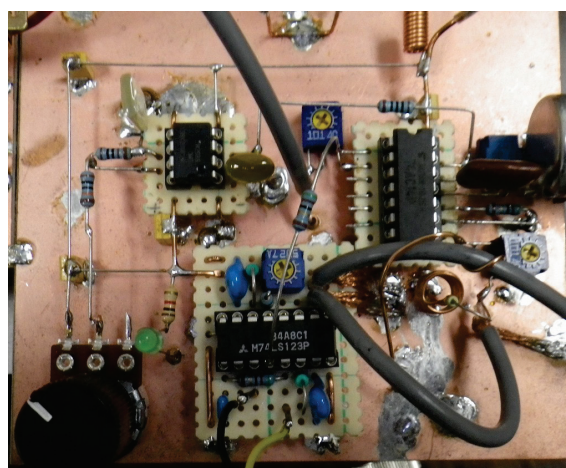


図 3 遅延回路の基板。

### 3. スイッチング部

既存モジュールおよび MOSFET\*1 による PUSH-PULL 回路からなる構成である。既存のモジュールを利用するために検証用として電圧 5 V、トリガパルス幅 5 – 200 nsec のパルスジェネレーターを製作し、モジュールの特性を調べた。この検証用パルスジェネレーターは回路全体の作動試験にも使用するため、図 3 に示した実装基板上の遅延パルス回路に隣接している。図 4 にその回路図を示す。検証の結果、既存モジュールはトリガによって高電圧の高速スイッチングが可能であるが、出力可能な最小パルス幅は約 150 nsec が限界であることがわかった。また、入力トリガ信号のパルス幅が 150 nsec 以上であれば応答パルス幅もそれに応じて広がるが、それ以下のパルスでは常に 150 nsec のパルスが出力されてしまう。

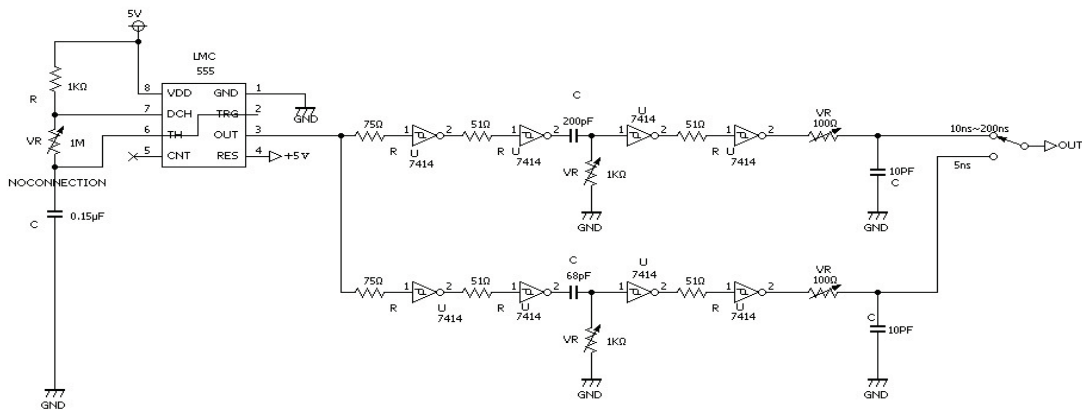


図 4 検証用パルスジェネレーターの回路図。

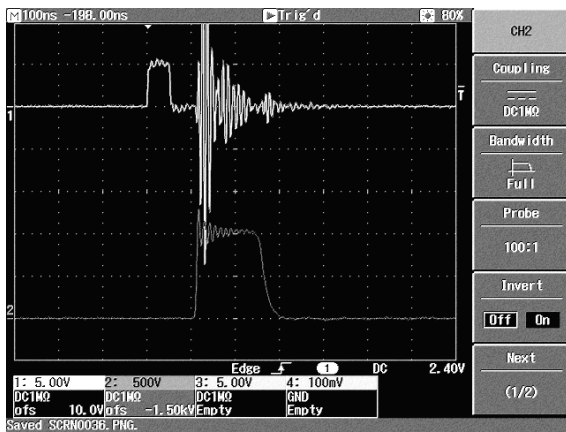


図 5 BEHLKE 社製高圧スイッチングモジュールの応答波形。CH1 (上部) は 5 V/div、CH2 (下部) は 500 V/div で示す。なお時間は 100 nsec/div。

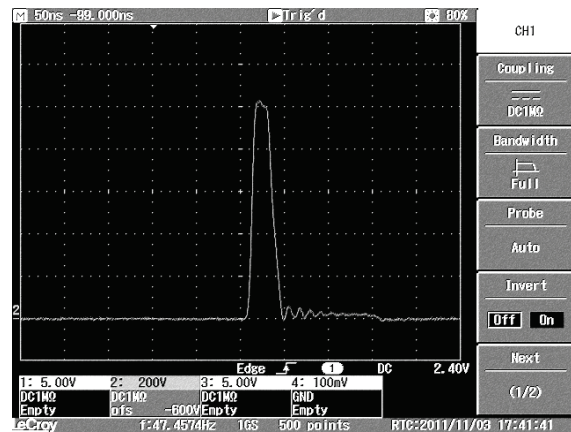


図 6 PULL 回路を用いてパルスを狭窄する。200 V/div で示し、時間は 50 nsec/div。

\*1 Metal-Oxide-Semiconductor Field-Effect Transistor : 電界効果トランジスタの一種で、集積回路の中では最も一般的に使用されている構造である。 <http://ja.wikipedia.org/wiki/MOSFET>

図5は既存モジュールの応答波形である。入力トリガ信号(CH1)のパルス幅は50 nsecだが、その応答(CH2)は110 nsec後にパルス幅150 nsecとして現れている。また、内部の高圧大容量素子のためにストレージ容量が大きく、スイッチングOFF時の回復に時間がかかり過ぎる。

この出力150 nsecのパルス幅をさらに縮めるため、PUSH-PULL 回路により強制的に出力パルスを切り落としてパルス幅を狭窄することとした。その結果を図6に示す。パルスを狭窄させるMOSFETには10 M $\Omega$ を通してバイアス電圧をかけておき、動作時にはバイアス電圧ごと引き落とす(図7の回路図を参照)。この10 M $\Omega$ バイアス抵抗はMOSFETの非動作時の電圧変化速度を緩やかにして素子のストレージ容量を満たすとともに、バイアス阻止ダイオードの逆回復時間内にバイアス電流が逆流することにより発生する電圧を大きく低減させる。

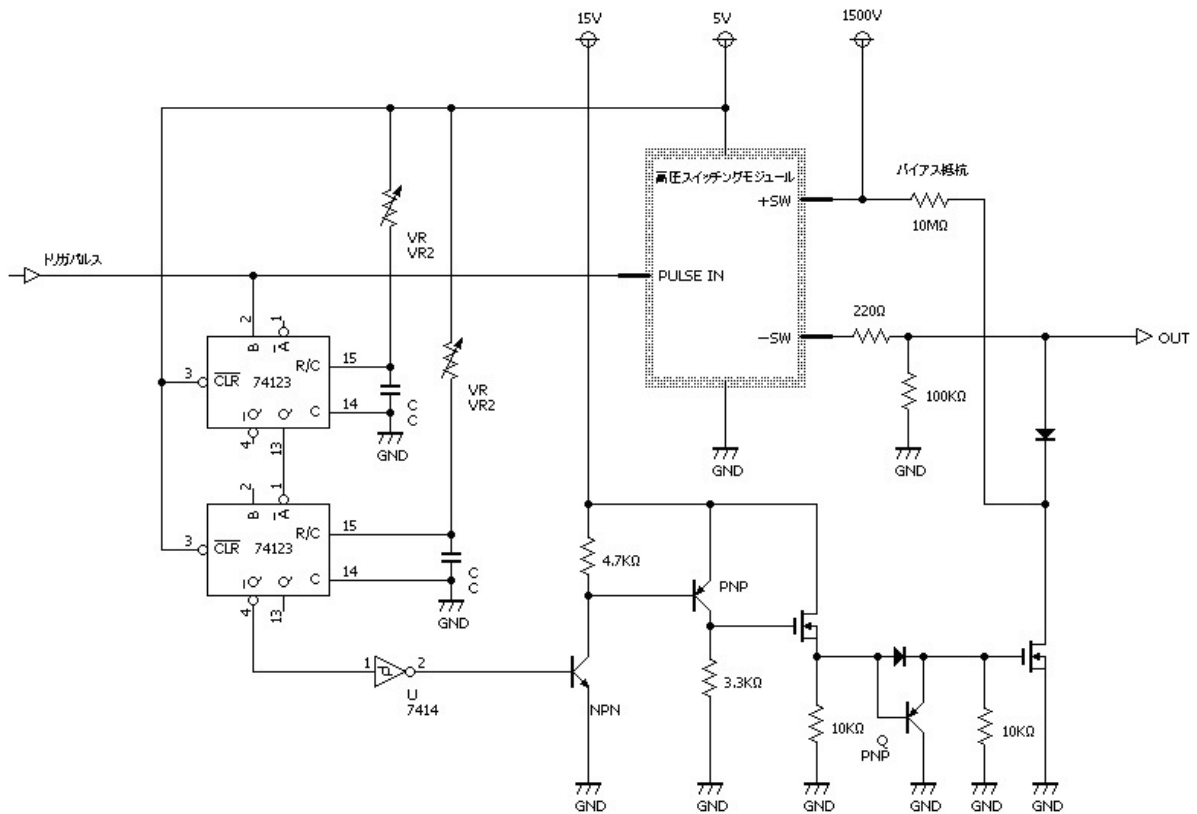


図7 スイッチング部の回路図。

電圧変化速度は素子の  $Tr$ (ライズタイム)に依存し、実測されたパルスの立ち上がり 10 nsec、立ち下がり 18 nsec は使用した素子のデータシートに一致する。この回路では  $Tr = 18$  nsec の MOSFET を使用したが、より速い素子に変更予定である。今後 IGBT\*<sup>2</sup> や、内部でカスコード接続された複合素子である ESBT\*<sup>3</sup> などが改良されれば、より高速のパルス出力が期待できる。その場合はドライバー回路にも工夫が必要になる。

今回のドライバー回路は、より高速化するために TTL レベルのトリガをゲート電圧定格ギリギリまでバイポーラトランジスタで増幅し、そのバッファに MOSFET のソースフォロアを置いた。実測してみるとソースフォロアとした方が初期電圧の立ち上がりが急峻になり、エミッタフォロアより高速になる。

## まとめと今後の展開

高圧スイッチングの高速化を突き詰めていく今回の作業は、それぞれの半導体そのものが持つ構造や物性に大きく影響されている。それはスイッチング過渡期の微小時間内の変化を追うほどに顕著に現れ、図らずも素子の限界を垣間見るようであった。

スイッチング素子の性能を引き出すためにドライバー回路を工夫し、伝送ラインの特性インピーダンスのマッチングや部品の実装レイアウトを慎重に行っても、1000 V を越える 1 億分の 1 秒のパルスを創り出すことはやはり難しい。現段階で矩形パルスとして実用となるのはパルス幅 20 nsec 以上であろう。

今後はさらに高速素子の導入とドライバー回路の改良で高速化を図って行く。またこのような回路では性能を引き出す鍵となるのが回路レイアウトであり、これ如何によって大きく性能に差が出る。慎重に進めて行きたい。

---

\*<sup>2</sup> Insulated Gate Bipolar Transistor: 絶縁ゲートバイポーラトランジスタ。MOSFET をゲート部に組み込んだバイポーラトランジスタのこと。

\*<sup>3</sup> Emitter Switched Bipolar Transistor: バイポーラ接合トランジスタ (BJT) と MOSFET をカスコード構成で接続し、シングル・パッケージに封止したもの。